

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-278297

(43) 公開日 平成4年(1992)10月2日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

9191-5L

G 1 1 C 17/00

3 0 9 A

審査請求 未請求 請求項の数3(全 6 頁)

(21) 出願番号 特願平3-41951

(22) 出願日 平成3年(1991)3月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 桐澤 亮平

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 中山 良三

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74) 代理人 弁理士 鈴江 武彦

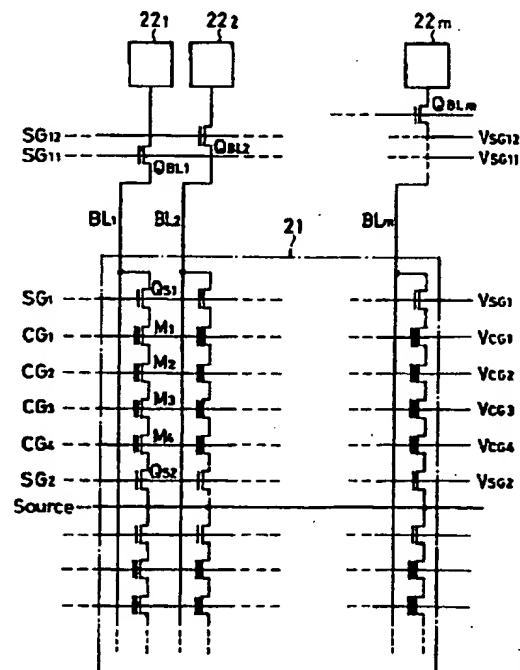
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 周辺回路が簡単で、高集積化可能なEEPROMを提供することを目的とする。

【構成】 メモリトランジスタと選択ゲートトランジスタからなるEEPROMメモリセルアレイ21のビット線BL端部とビット線駆動回路22の間にビット線選択トランジスタQBLを設けて、データ書込時、このビット線選択トランジスタQBLのオン、オフ制御によって、書込みたくないビット線をフローティング状態とする。



FH 008463

1

## 【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された少くとも一つのメモリトランジスタとこれと直列接続された選択ゲートトランジスタからなるメモリセルがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイの列方向に並ぶ選択ゲートトランジスタのドレインが共通接続されたビット線と、前記メモリセルアレイの行方向に並ぶメモリトランジスタおよび選択ゲートトランジスタのゲートがそれぞれ共通接続された制御ゲート線および選択ゲート線と、データ書き込みに前記ビット線をデータに応じて低電位状態またはフローティング状態に設定するビット線電位制御手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 半導体基板上に絶縁膜を介して電荷蓄積層と制御ゲートが積層形成された少くとも一つのメモリトランジスタとこれと直列接続された選択ゲートトランジスタからなるメモリセルがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイの列方向に並ぶ選択ゲートトランジスタのドレインが共通接続されたビット線と、前記メモリセルアレイの行方向に並ぶメモリトランジスタおよび選択ゲートトランジスタのゲートがそれぞれ共通接続された制御ゲート線および選択ゲート線と、前記ビット線とビット線駆動回路の間に設けられたビット線選択トランジスタと、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項3】 前記制御ゲート線に高電位が印加されて選択されたメモリトランジスタの電荷蓄積層に電子注入を行うデータ書き込みモードにおいて、電子注入を行うべきメモリトランジスタにつながるビット線には前記ビット線選択トランジスタがオン駆動されて前記ビット線駆動回路の低電位出力が伝達され、電子注入を行わないメモリトランジスタにつながるビット線は前記ビット線選択トランジスタがオフ駆動されてフローティング状態となることを特徴とする請求項2記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【発明の目的】

(0001)

【産業上の利用分野】 本発明は、電荷蓄積層と制御ゲートが積層形成された構造を有する電気的書き換え可能なメモリトランジスタを用いた不揮発性半導体記憶装置(EEPROM)に関する。

(0002)

【従来の技術】 従来より、EEPROMの中で高集積化可能なものとして、メモリトランジスタを複数個直列接続したNANDセル型のEEPROMが知られている。一つのメモリトランジスタは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFET MOS構造を有し、複数個のメモリトランジスタが隣接する

2

もの同士でソース、ドレインを共用する形で直列接続されてNANDセルを構成する。このようなNANDセルがマトリクス配列されてメモリセルアレイが構成される。メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線(ワード線)、選択ゲート線として共通接続される。このNANDセル型EEPROMの動作は次の通りである。

【0003】 データ書き込みは、ビット線から遠い方のメモリトランジスタから順に行われる。nチャネルの場合を説明すれば、選択されたメモリトランジスタの制御ゲートには高電位(例えば20V)が印加され、これよりビット線側にある非選択のメモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲートには中間電位(例えば10V)が印加される。ビット線には、データに応じて0V(例えば“1”)、または中間電位(例えば“0”)が印加される。このときビット線の電位は、選択ゲートトランジスタおよび非選択メモリトランジスタを通して選択メモリトランジスタのドレインまで伝達される。

【0004】 書き込むべきデータがあるとき(“1”データのとき)は、選択メモリトランジスタのゲート・ドレイン間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入される。これにより、選択メモリトランジスタのしきい値は正方向に移動する。書き込むべきデータがないとき(“0”データのとき)は、しきい値変化はない。

【0005】 データ消去は、p型基板(ウェル構造の場合はn型基板およびこれに形成されたp型ウェル)に高電位が印加され、すべてのメモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲートが0Vとされる。これにより、すべてのメモリトランジスタにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

【0006】 データ読み出しは、選択ゲートトランジスタおよび選択メモリトランジスタよりビット線側の非選択メモリトランジスタがオンとされ、選択メモリトランジスタのゲートに0Vが与えられる。この時ビット線に流れる電流を読むことにより、“0”、“1”の判別がなされる。

【0007】 この様に従来のNANDセル型EEPROMでは、データ書き込みモードにおいて、書き込みを行わないビット線には中間電位を印加しなければならない。このためメモリセルアレイの周辺回路は複雑になる。また中間電位を与えるタイミングの制御も難しい。例えば、ビット線に与える中間電位を、制御ゲート線に与える制

御電圧より先に上げなければ、誤書き込みの可能性がある。さらにこれに中間電位を与えるためには、選択ゲートトランジスタのパンチスルーを防止する必要から、選択ゲートトランジスタのゲート長を余り短くすることができない。これは、EEPROMの高集積化を損なう。

【0008】同様の問題は、NANDセル型EEPROMに限らず、同様の原理の1個のメモリトランジスタと1個の選択ゲートトランジスタでメモリセルを構成するNOR型EEPROMでもある。

【0009】

【発明が解決しようとする課題】以上のように従来のEEPROMでは、データ書き込み時にビット線に中間電位を与える必要があったため、周辺回路が複雑になり、タイミング制御も難しく、また選択ゲートトランジスタのゲート長を短くすることができない、といった問題があった。本発明は、この様な問題を解決したEEPROMを提供することを目的とする。

【発明の構成】

【0010】

【課題を解決するための手段】本発明は、電荷蓄積層と制御ゲートを有する少くとも一つのメモリトランジスタとこれと直列接続された選択ゲートトランジスタからなるメモリセルがマトリクス配列されてメモリセルアレイを構成し、メモリセルアレイの列方向に並ぶ選択ゲートトランジスタのドレインがビット線に共通接続され、メモリセルアレイの行方向に並ぶメモリトランジスタおよび選択ゲートトランジスタのゲートがそれぞれ制御ゲート線および選択ゲート線に共通接続されて構成されるEEPROMにおいて、データ書き込み時にデータに応じてビット線を低電位状態またはフローティング状態に設定するビット線電位制御手段が設けられていることを特徴とする。

【0011】

【作用】本発明に係るEEPROMでは、データ書き込みモードにおいて、電位注入を行うメモリトランジスタにつながるビット線（“1”データ書き込みのビット線）は0Vとされ、電子注入を行わないメモリトランジスタにつながるビット線（“0”データ書き込みのビット線）はフローティング状態とされる。このようなビット線の電位制御は例えば、ビット線の端部とこれにつながるビット線駆動回路の間にビット線選択ゲートトランジスタを設ける事により可能である。このとき、フローティングとなったビット線に沿うメモリトランジスタでは、ドレイン、ソース拡散層もフローティングであるから、制御ゲート線の高電位が容易結合されてドレイン、ソース拡散層も電位が上昇する。したがって浮遊ゲートに電子が注入されることがない。

【0012】この様に本発明のEEPROMでは、トンネル注入を起こさせたくないメモリトランジスタにつながるビット線に中間電位を与える代わりに、これをフロ

ーティングとする。これにより、周辺回路は簡単になり、また選択ゲートトランジスタをパンチスルー防止のために長いゲート長とする必要がなくなる。

【0013】

【実施例】以下、nチャネルFETMOSをメモリトランジスタとしたNANDセル型EEPROMの実施例を図面を参照しながら説明する。

【0014】図1は本発明の一実施例に係るNANDセル型EEPROMの要部構成を示す等価回路であり、図2はその一つのNANDセル部の平面図、図3および図4はそれぞれ図2のA-A'およびB-B'断面図である。

【0015】図1に示すように、メモリセルアレイ21は、NANDセルがマトリクス配列されて構成されている。この実施例ではNANDセルは、直列接続された4個のメモリトランジスタM1、M2、M3およびM4と、その両側に設けられた選択ゲートトランジスタQs1、Qs2により構成されている。メモリセルアレイ1の列方向に並ぶNANDセルのドレイン側が選択ゲートトランジスタQs1を介してビット線BLに共通接続されている。各メモリトランジスタの制御ゲートおよび選択ゲートトランジスタのゲートは夫々、メモリセルアレイ1の行方向に並ぶNANDセルについて共通接続されて制御ゲート線CG1、CG2、CG3、CG4および選択ゲート線SG1、SG2が配設されている。

【0016】ビット線BL（BL1、BL2、…、BLm）はそれぞれ、メモリセルアレイ1の一方の端部でビット線駆動回路22（221、222、…、22m）に接続される。本発明ではこのビット線駆動回路22とビット線BLの間にビット線選択トランジスタQBL（QBL1、QBL2、…、QBLm）が設けられている。

【0017】一つのNANDセルの構成を図2～図4を用いて説明すると、n型シリコン基板1にp型ウェル2が形成され、素子分離絶縁膜13によって区画された領域に、4個のメモリトランジスタM1～M4と2個の選択ゲートトランジスタQs1、Qs2が設けられている。各メモリトランジスタは、基板上に熱酸化により形成された薄いゲート絶縁膜31を介して第1層多結晶シリコンによる浮遊ゲート4（41～44）が形成され、この上に層間絶縁膜5を介して第2層多結晶シリコンによる制御ゲート6（61～64）が積層形成されている。浮遊ゲート4が電荷蓄積層である。

【0018】各メモリトランジスタの制御ゲート6は、横方向に配列されるNANDセルについて連続的に制御ゲート線CG（CG1～CG4）として配設されている。通常この制御ゲート線CGがワード線となる。

【0019】メモリトランジスタのソース、ドレイン拡散層であるn型層8は、隣接するもの同士で共用されて、4個のメモリトランジスタM1～M4が直列接続されている。これら4個のメモリトランジスタのドレイン

側、ソース側にはそれぞれ選択ゲートトランジスタQs1、Qs2が設けられている。これら選択ゲートトランジスタQs1、Qs2のゲート絶縁膜32はメモリトランジスタMとは別に厚く形成されて、その上に2層のゲート電極45、65および46、66が形成されている。これらのゲート電極45、65および46、66は、メモリトランジスタの浮遊ゲートと制御ゲートを構成する第1層多結晶シリコンと第2層多結晶シリコンを同時にパターニングして形成されている。これら2層ゲート電極は所定間隔でコンタクトして、制御ゲート線CGの方向に連続的に配設されて、選択ゲート線SG1、SG2となる。

【0020】素子形成された基板は、CVD絶縁膜11により覆われ、この上にA1膜等によりビット線(BL)12が配設されている。ビット線12は、一方の選択ゲートトランジスタQs1のドレイン拡散層9にコンタクトしている。このドレイン拡散層9には、コンタクトを良好にするため、コンタクト孔を介して重ねてn型不純物がドーパされている。他方の選択ゲートトランジスタQs2のソース拡散層10は、通常共通ソース線として複数のNANDセルに共通に配設される。

【0021】各メモリトランジスタでの浮遊ゲート4と制御ゲート6間の結合容量は、浮遊ゲート4を素子分離領域上に延在させることにより、浮遊ゲートと4とp型ウェル2間の結合容量に比べて大きく設定されている。具体的な形状寸法を例示すれば、浮遊ゲート4および制御ゲート6の幅が1 $\mu\text{m}$ 、したがってメモリトランジスタのチャネル長が1 $\mu\text{m}$ であり、浮遊ゲート4は素子分離絶縁膜13上に片側1 $\mu\text{m}$ ずつ延在させている。浮遊ゲート4下のゲート絶縁膜31は例えば10nmの熱酸化膜であり、層間絶縁膜5は25nmの熱酸化膜である。

【0022】この実施例のNANDセル型EEPROMの動作を、メモリトランジスタM1~M4からなるNANDセルに着目して、図5を用いて次に説明する。図5は、データ消去、データ書き込みおよびデータ読出しの一連の動作を示すタイミング図である。データ消去および書き込みは、メモリトランジスタの浮遊ゲートとp型ウェル間のF-Nトンネリングを利用した電荷のやりとりにより行われる。

【0023】まずデータ消去は、すべての制御ゲート線CG1~CG4を0Vとし、p型ウェル2およびp型シリコン基板1に、 $V_{\text{well}}=V_{\text{sub}}=1.8\text{V}$ の高電位を印加して行われる。このとき選択ゲート線SG1、SG2にも同時に1.8Vの高電位が印加される。これにより、メモリセルを構成する全てのメモリトランジスタにおいて浮遊ゲートの電子がp型ウェルに放出され、しきい値が負方向に移動した消去状態("0")が得られる。

【0024】データ書き込みは、ビット線から遠い方のメモリトランジスタから順に行われる。まずメモリトランジスタM4での書き込みは、選択ゲート線CG4に20Vの高

電位が印加され、それ以外の全ての制御ゲート線CG1~CG3、および選択ゲート線SG1に中間電位として10Vが印加され、ビット線はデータに応じて、0V("1"の場合)、またはフローティング("0"の場合)とされる。この時のビット線電位の制御は、ビット線選択トランジスタQBLのオン、オフ制御により行われる。図5においては、ビット線選択トランジスタQBL1の選択ゲート線SG11の電位VSG11が5Vとされて、ビット線BL1にビット線駆動回路221のデータ"1"に対応する出力電位である0Vが伝えられ、隣のビット線選択トランジスタQBL2の選択ゲート線SG12の電位VSG12が0Vとされて、ビット線BL2がビット線駆動回路221から切り離されてフローティングになる状態が示されている。

【0025】これにより、ビット線に0Vが与えられたメモリトランジスタM4ではドレインから浮遊ゲートに電子がトンネル注入され、しきい値が正方向に移動した状態("1")が得られる。ビット線がフローティングのときは、制御ゲートとの容量結合によってドレイン、ソース拡散層の電位が上昇するため、トンネル注入は起こらず、しきい値変化はない。以下、順に制御ゲート線CG3、CG2、CG1に高電位が与えられて、同様にデータ書き込みがなされる。

【0026】データ読出しは、選択された制御ゲート線に0V、これよりビット線側の制御ゲート線には5V程度の電位が与えられ、ビット線に1~5V程度の電位が与えられて、ビット線に電流が流れるか否かを検出することにより行われる。

【0027】こうしてこの実施例においては、データ書き込み時に書き込みたくないビット線に中間電位を与える代りに、これをフローティングとする。この結果ビット線には、データ読出し時の5V以上の電位がかからない。従って、中間電位を用いる必要がなくなり、それだけ周辺回路が簡単になる。またビット線側の選択ゲートトランジスタのバッチスルー耐圧を特に高くする必要がなく、ソース側の選択ゲートトランジスタと同じゲート長とすることができる。これにより、高集積化が可能になる。

【0028】本発明は上記実施例の限られない。例えば実施例では、メモリセルアレイの周辺部にビット線選択ゲートトランジスタを設けたが、メモリセルアレイをブロック分割する場合には、ブロック毎にビット線選択ゲートトランジスタを配置してもよい。また、ビット線をフローティング状態とする事を含むビット線電位の制御する手段として、ビット線選択ゲートトランジスタを設ける代りに、ビット線駆動回路自体にその出力端子をフローティングとすることができる機能を持たせてもよい。

【0029】さらに実施例では、NANDセル型EEPROMを説明したが、本発明は、一つのメモリトランジスタと選択ゲートトランジスタによりメモリセルが構成されるNOR型EEPROMにも同様に適用することが

できる。

【0030】

【発明の効果】以上述べたように本発明によれば、データ書込時に書込みたくないビット線をフローティング状態とするビット線電位制御手段を設けることによって、周辺回路が簡単になり、高集積化が可能なEEPROMを得ることができる。

【図面の簡単な説明】

【図1】本発明一実施例に係るNANDセル型EEPROMの等価回路図。

【図2】同実施例のNANDセルの構成を示す平面図。

【図3】図2のA-A'断面図。

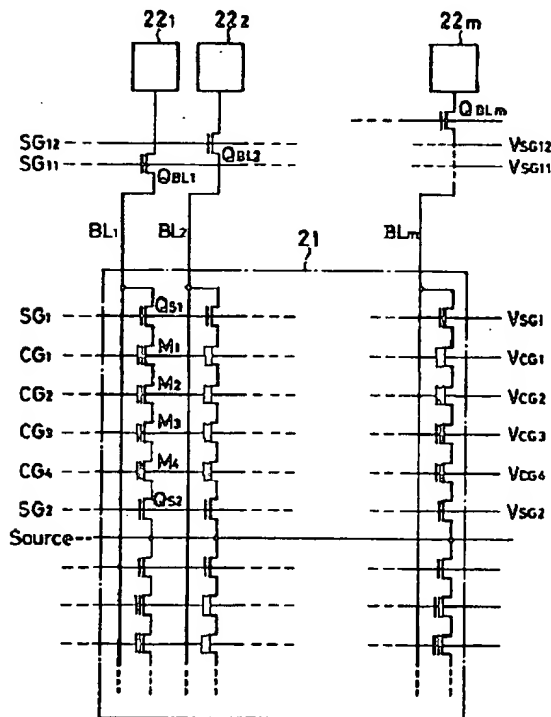
【図4】図2のB-B'断面図。

【図5】同実施例のEEPROMの動作を説明するためのタイミング図。

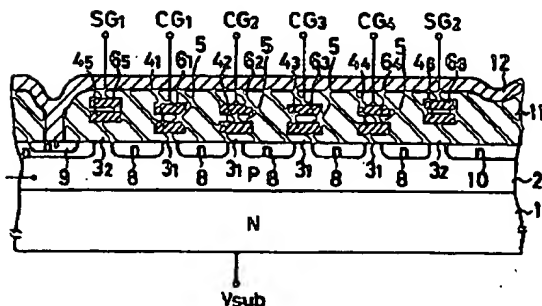
【符号の説明】

1…n型シリコン基板、21…メモリセルアレイ、22…p型ウェル、22…ビット線駆動回路、3…ゲート絶縁膜、BL…ビット線、4…浮遊ゲート、CG…制御ゲート線、5…層間絶縁膜、SG…選択ゲート線、6…制御ゲート、QBL…ビット線選択トランジスタ、8～10…n型拡散層、11…CVD絶縁膜、12…ビット線、13…素子分離絶縁膜。

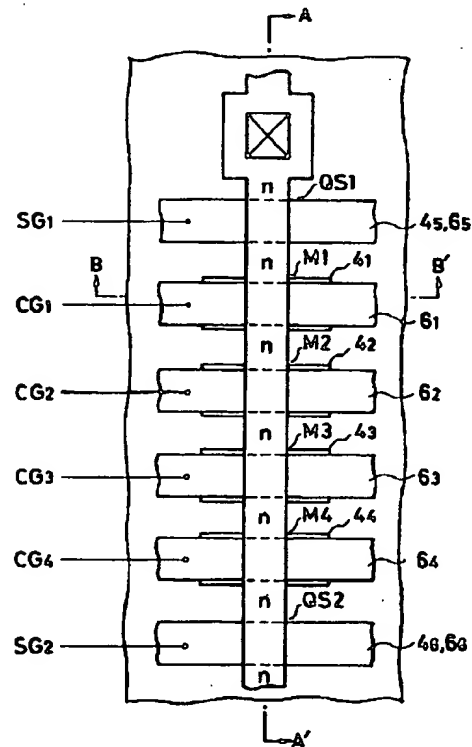
【図1】



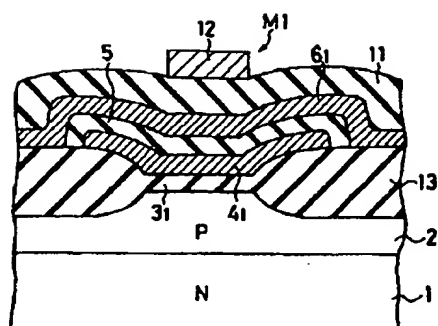
【図3】



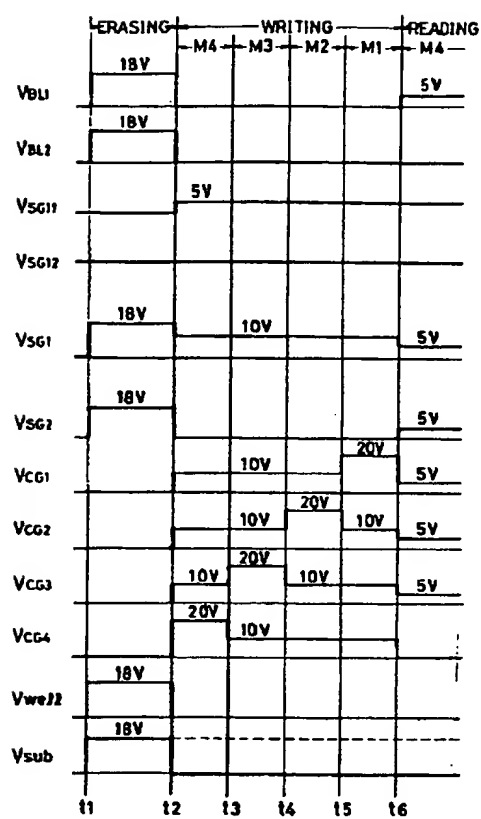
【図2】



【図4】



【図5】



フロントページの続き

(72)発明者 遠藤 哲郎

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 井上 千佳

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

FH 008468

Japan Patent Publication

(11) Japan Laid Open Patent Application Number H04-278297

(43) Date Published: October 2, 1992

(21) Application Number Patent H03-41951

(22) Application Date March 7, 1991

(71) Applicant Toshiba Corp

72 Horikawa-cho, Saiwai-ku, Kawasaki, Kanagawa

000003075

(72) Inventor: Ryohei Kirisawa

C/o Toshiba General Research Center

(72) Inventor: Seiichi Aridome

C/o Toshiba General Research Center

1 Komukaitoshiba-cho, Saiwai-ku, Kawasaki, Kanagawa

(72) Inventor: Ryoza Nakayama

C/o Toshiba General Research Center

1 Komukaitoshiba-cho, Saiwai-ku, Kawasaki, Kanagawa

(74) Agent Takehiko Suzue, Patent Attorney

(72) Inventor: Tetsuro Endo

C/o Toshiba General Research Center

(73) Inventor: Senju (?) Inoue

C/o Toshiba General Research Center

1 Komukaitoshiba-cho, Saiwai-ku, Kawasaki, Kanagawa

(72) Inventor: Riichiro Shirota

C/o Toshiba General Research Center

1 Komukaitoshiba-cho, Saiwai-ku, Kawasaki, Kanagawa

(54) [Title of Invention] Non-volatile Semiconductor Memory Device

(57) [Abstract]

[Object] To achieve an EEPROM with very high density by providing a simple peripheral circuit.

[Construction]

A bit line selection transistor QBL is provided between the bit line BL edge section and the bit line driving circuit 22 of an EEPROM memory cell array 21 comprising a memory transistor and a selection gate transistor in such a manner that the bit lines not to be written are made to be in floating status during data writing by the on-off control of the bit line selection transistor QBL.

1

[Scope of Claims]

[Claim 1]

A non-volatile semiconductor memory device comprising a memory cell array wherein at least one memory transistor on which an electric charge storage layer and a control gate are integrated through an insulation film on a semiconductor substrate and a memory cell made of a selection gate transistor which is connected in series with the memory transistor, arranged in matrix, a bit line with the drains of the selection gate transistors lined up in the row-direction of the memory array being jointly connected, a control gate line and a selection gate line, on each of which, the gates of the memory transistors lined up in the column-direction of the memorial cell array and the selection gate transistors are jointly connected, and a bit line electric potential control means for setting the bit line to low electric potential state or a floating state depending on data during data writing time.

[Claim 2]

A non-volatile semiconductor memory device comprising a memory cell array wherein at least one memory transistor on which an electric charge storage layer and a control



gate are integrated through the insulation film on a semiconductor substrate and a memory cell made of a selection gate transistor which is connected in series with the memory transistor are arranged in matrix, a bit line with the drains of the selection gate transistors lined up in the row-direction of the memory array being jointly connected, a control gate line and a selection gate line, on each of which, the gates of the memory transistors lined up in the column-direction of the memorial cell array and the selection gate transistors are jointly connected, and a bit line selection transistor which is provided between the bit line and the bit line driving circuit.

[Claim 3]

The non-volatile semiconductor device of Claim 2 wherein, during the data writing mode in which electron injection is executed for the electric charge storage layer of the memory transistor selected by the application of high electric potential on the control gate line, a low electric potential output of the bit line driving circuit is transmitted to the bit line connected to the memory transistor for which electron injection is executed by on-driving the bit line selection transistor, while the bit line connected to the memory transistor for which electron injection is not executed becomes the floating state by off-driving of the bit selection transistor

[Detailed Description of the Invention]

[Purpose of Invention]

[0001]

[Field of Application]

The present invention relates to a non-volatile semiconductor memory device (EEPROM) having electrically re-writable memory transistor on which electric charge storage layers and control gates are laminated.

[0002]

[Prior Art]

NAND cell type EEPROM on which a plurality of memory transistors are arranged in series are known as some examples of EEPROM with very high density. A memory transistor, having FETMOS structure in which a floating gate and a control gate are connected through an insulation layer on a semiconductor substrate, composes the NAND cell wherein a plurality of memory transistors are connected in series in such a manner that adjacent memory transistors share the source and drain. These NAND cells are arranged in a matrix to form a memory cell array. Drains on one side of the NAND cells lined up in the row-direction of the memory cell array are jointly connected to the bit line through respective selection gate transistor while sources on the other side are also connected to a joint source line through the selection gate transistor. The control gate of the memory transistor and the gate electrode of the selection gate transistor are jointly connected in the column-direction of the memory cell array respectively as a control gate line (word line) and a selection gate line. Hereafter, operations of the NAND cell type EEPROM will be described.

[0003]

Data writing for memory transistors is executed based on the distance from the bit line. The memory transistor furthest away from the bit line is executed first. In the case of n-channels for example, high electric potential (20V, for example) is applied to the control gate of the selected memory transistor, as a result of which intermediate electric potential (10V, for example) are applied to the control gate of a non-selected memory transistor and the gate of the selected gate transistor. To the bit line, 0V ("1", for example) or intermediate electric potential ("0" for example) are applied. At this time, the electric potential of the bit line is transmitted as far as the drain of the selection memory transistor through the selection gate transistor and the non-selection memory transistor.,

[0004]

If there are data to be written (when "1" data), a high electric field exists between the gate and the drain of the selection memory transistor and the electrons are tunnel injected from the substrate to the floating gate. As a result, the threshold value of the selection memory transistor moves to positive direction. If there is no data to be written (when "0" data), the threshold value does not change.